

## METHOD FOR ELECTROPLATING SUBSTRATE

Publication number: JP4246200 (A)

Publication date: 1992-09-02

Inventor(s): MOGI HIDEO

Applicant(s): FUJITSU LTD

Classification:

- international: C04B41/88; C25D7/00; C25D17/06; C25D17/08; C25D17/10; H01L23/12; H05K3/18; C04B41/88; C25D7/00; C25D17/06; C25D17/10; H01L23/12; H05K3/18; (IPC1-7): C04B41/88; C25D7/00; C25D17/10; H01L23/12; H05K3/18

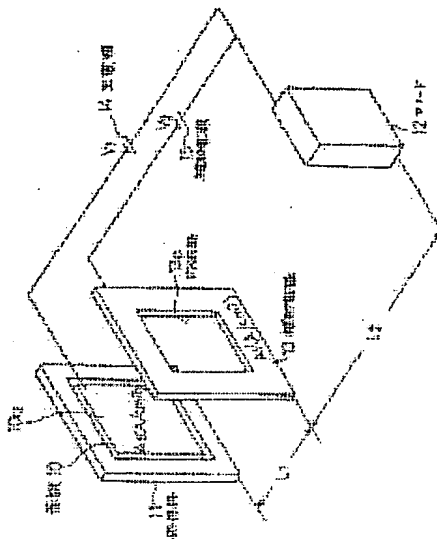
- European:

Application number: JP19910008683 19910128

Priority number(s): JP19910008683 19910128

### Abstract of JP 4246200 (A)

**PURPOSE:**To uniformize the thickness of a plating without wasting a part of a substrate and to electroplate the substrate. **CONSTITUTION:**An auxiliary electrode 13 is frame shaped and opposed to the surface 10a of a substrate 10 to be plated. A negative voltage is impressed on the auxiliary electrode 13 from an auxiliary power source 15. The current density of the auxiliary electrode 13 is controlled to several times that of the substrate 10. The auxiliary electrode 13 absorbs an electric current flowing toward the periphery of the substrate 10 in a plating soln., and the thickness of the plating on the periphery of the substrate 10 is not increased.



Abridged Translation of JP-A-H04-246200

Laid-open date: Sep. 2, 1992

Application Number: Hei-03-8683 (filing date: Jan. 28, 1991)

Applicant: Fujitsu Ltd. (Kawasaki, Japan)

# Title of Invention

Method for electroplating substrate

## Detailed Explanation of Invention

—※—※—※—※—※—※—※—※—※—

[0014]

[Means for solving a technical problem]

In the invention according to claim 1, the frame-shaped auxiliary electrode, inner edge of which has substantially the same size as the substrate to be electroplated, is arranged in the vicinity of the side of substrate which side is opposite to the anode as well as it surrounds the substrate in view from the anode. The negative voltage is applied to the auxiliary electrode.

[0015]

In the invention according to claim 2, a conductive taps is removably so stuck on the side which is opposite to the anode, of the holding frame which holds the substrate to be electroplated, that the conductive tape surrounds the substrate. The negative voltage is applied to the conductive tape.

—※—※—※—※—※—※—※—※—※—

[0022]

The ceramic substrate 10 does not have outer frame portion with dummy pattern and it has the same size as the ceramic printed circuit board (finished goods).

[0023]

The holding frame 11 consists of a pair of frames 16, 17 as shown in

Fig.2. The frames 16, 17 are held by a screw 18 in a manner that the substrate is sandwiched between them with its circumference.

[0024]

The frames 16, 17 are coated with resin except hook portions 16a and so isolated.

[0025]

The auxiliary electrode 13 is formed as rectangle-frame shape and its inner edge 13a has substantially the same size as the substrate 10.

[0026]

This auxiliary electrode 13 is arranged in the vicinity of the side 10a of substrate 10 which side is opposite to the anode 12 as well as it surrounds the substrate 10 in view from the anode 12.

[0027]

In Fig.1, the ratio ( $L_1:L_2$ ) of the distance  $L_1$  between the substrate 10 and the auxiliary electrode 13 to the distance  $L_2$  between the auxiliary electrode 13 and the anode 12 is 1:3, for example.

[0028]

The voltage  $V_2$  of the auxiliary power source 15 connected to the auxiliary electrode 13 is so set that the current density  $A_1$  ( $A/cm^2$ ) of the auxiliary electrode 13 is approximately three times the current density  $A_2$  ( $A/cm^2$ ) of the substrate 10.

[0029]

When the electroplating is carried out, the current 19 flows in the plating solution, as shown in Fig.4, and so the plating layer 20 is formed on the surface 10a of the substrate 10.

[0030]

The current 19a which could flow in the peripheral portion of the substrate 10 if there is no auxiliary electrode 13, is absorbed by the auxiliary electrode 15, as shown in Fig.4. Only the current 19b which can flow through the inside of the auxiliary electrode 13 flows into the substrate 10. So the current density distribution in the central portion of the surface 10a of the substrate is about similar to

the conventional one, and the one in the peripheral portion is restrain in comparison with the conventional one.

[0031]

Accordingly, the thickness  $t_2$  in the central portion of the plating layer 20 amounts to  $1.88\ \mu\text{m}$  (a bit increase than the conventional) and the thickness  $t_1$  in the peripheral portion  $2.85\ \mu\text{m}$  (big decrease than the conventional), as shown in Fig.6① with Fig.5.

[0032]

...

[0033]

Fig.7 shows the second embodiment of the present invention. Instead of the auxiliary electrode 13 of Fig.1, a conductive tape 30 is stuck onto surface 11a of the holding frame 11, which is opposite to the anode 12 to surround the substrate 10. The negative voltage  $V_1$  of the main power source 14 is applied to the conductive tape 30 as well as the substrate 10.

[0034]

...

[0035]

...

[0036]

...

[0037]

...

[0038]

Fig.10 shows the third embodiment of the present invention. This embodiment is a combination of the first and second embodiments.

...

—※—※—※—※—※—※—※—※—※—

#### Brief Explanation of Drawings

Fig.1 shows the first embodiment of the substrate-electroplating

method according to the invention.

Fig.2 shows the structure of the holding frame in Fig.1.

Fig.3 shows the relationship in position between the auxiliary electrode and the substrate in view from the anode in Fig.1.

Fig.4 shows the current flow in the plating solution in Fig.1.

Fig.5 shows the combinations of the auxiliary electrode with the conductive tape.

Fig.6 shows the plating thickness corresponding to the combinations of Fig.5.

Fig.7 shows the second embodiment of the substrate-electroplating method according to the invention.

Fig.8 shows the structure of the holding frame in Fig.7.

Fig.9 shows the current flow in the plating solution in Fig.7.

Fig.10 shows the third embodiment of the substrate-electroplating method according to the invention.

Fig.11 shows the current flow in the plating solution in Fig.10.

Fig.12 shows the conventional flow of the current in the plating solution at electroplating.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-246200

(43)公開日 平成4年(1992)9月2日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
C 2 5 D 17/10	B	7179-4K		
C 0 4 B 41/88		8821-4G		
C 2 5 D 7/00	J	6919-4K		
H 0 1 L 23/12		7352-4M	H 0 1 L 23/12	Q
審査請求 未請求 請求項の数3(全 6 頁) 最終頁に続く				

(21)出願番号 特願平3-8683

(22)出願日 平成3年(1991)1月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 茂木 英男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

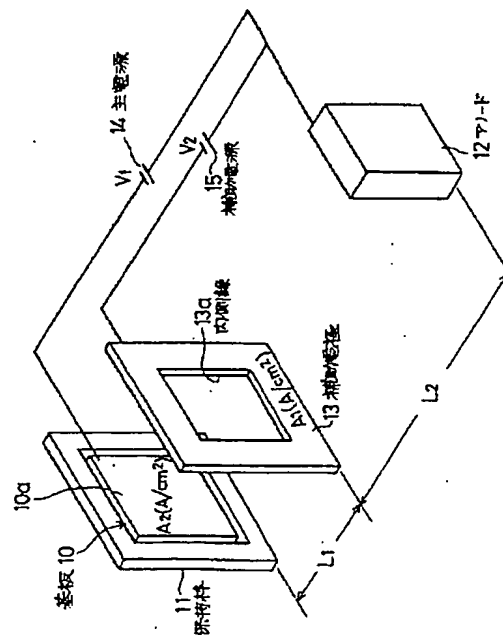
(54)【発明の名称】 基板の電解メッキ方法

(57)【要約】

【目的】 本発明は基板の一部を無駄にすることなくめっき厚の均一化を可能とした基板の電解メッキ方法に関する。

【構成】 補助電極13は枠形状を有し、基板10のメッキされる面10aに対向して配設される。補助電源15は、補助電極13に負電圧を印加し、補助電極13の電流密度を基板10の電流密度の数倍とする。補助電極13は、メッキ液中を基板10の周辺部に向かって流れる電流を吸収して、基板10の周辺部分のメッキが厚くならないよう抑制するよう構成する。

本発明の基板の電解メッキ方法の第1実施例を示す図



1

## 【特許請求の範囲】

【請求項1】 内側縁(13a)が電解メッキされる基板(10)と実質上同じ大きさを有する枠形状の補助電極(13)を、上記基板(10)のうちアノード(12)に対向する面(10a)の近傍に、且つ上記アノード側からみて上記基板を囲むように配設すると共に、該補助電極(13)に、負電圧( $V_2$ )を印加する構成としたことを特徴とする基板の電解メッキ方法。

【請求項2】 電解メッキされる基板(10)を保持する保持枠(11)のうち、アノード(12)に対向する面に、導電性のテープ(30)を、上記基板(10)を可撓して且つ剥離可能に貼着すると共に、該導電性テープ(30)に、負電圧( $V_1$ )を印加する構成としたことを特徴とする基板の電解メッキ方法。

【請求項3】 内側縁(13a)が電解メッキされる基板(10)と実質上同じ大きさを有する枠形状の補助電極(13)を、上記基板(10)のうちアノード(12)に対向する面(10a)の近傍に、且つ上記アノード側(12)からみて上記基板(10)を囲むように配設すると共に、該補助電極(13)に、負電圧( $V_2$ )を印加する構成とし、且つ上記基板(10)を保持する保持枠(11)のうち、アノード(12)に対向する面に、導電性のテープ(30)を、上記基板(10)を可撓して且つ剥離可能に貼着すると共に、該導電性テープ(30)に負電圧( $V_1$ )を印加する構成としたことを特徴とする基板の電解メッキ方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセラミック基板にパネルメッキを電解メッキ法によって形成する方法に関する。

【0002】セラミック基板の表面の配線パターンは、研磨したセラミック基板の表面にスパッタリングにより金属膜を形成し、この後、レジストパターンを形成し、次いで電解メッキ法によってCu、Ni、Auのパネルメッキを形成し、レジストパターンを剥離し、パネルエッチングを行って形成している。

【0003】配線パターンが厚くなりすぎると、熱が吸収されてはんだののりが悪くなり、逆に薄くなりすぎると、電気抵抗値が大となったり、断線し易くなる。

【0004】従って、セラミック基板の品質の向上を図るためには、配線パターンは、セラミック基板の全面に亘って均一な電気的特性を有していることが必要である。

【0005】このためには、パネルメッキがセラミック基板の全面に亘って厚さを均一とされて形成されることが必要とされる。

【0006】

【従来の技術】図12は、基板の電解メッキ方法の基本構成を示す。

【0007】1はスパッタリング済のセラミック基板、

2

2はアノード、3は電源である。メッキ槽内において、電流は符号4で示すように流れ、セラミック基板1のスパッタリング膜上にパネルメッキ膜5が形成される。

【0008】メッキ膜5の厚さは、電流密度に比例する。電流4は、基板1の中央より周辺部分に集中し易く、基板1の周辺部分の電流密度が中央部分より高くなる。このため、メッキ膜5は、基板1の周辺部分の厚さ $t_1$ が中央部分の厚さ $t_2$ より厚くなってしまふ。

【0009】図12の構成は、図5中④に対応し、図6に示すように、中央部分の厚さ $t_2$ に1.74 $\mu\text{m}$ であるのに対し、周辺部分の厚さ $t_1$ は3.58 $\mu\text{m}$ となり、周辺部分が中央部分に対して厚い割合は100%ともなってしまう。

【0010】そこで、上記の問題を解決するため、従来は、特公昭58-58835号に示すように、基板を、周辺に、連結用リブを介して、ダミースペースとしての外形枠を設けた構成とし、電解メッキを行った後に、連結用リブを折って外形枠を除去する方法を取っていた。

【0011】この方法によれば、メッキ膜が厚くなった部分は除去され、基板におけるメッキ膜の厚さは均一化される。

【0012】

【発明が解決しようとする課題】しかし、上記の方法によれば、各基板について外形枠の部分が無駄となってしまう、その分、製造コストが高くなってしまふ。

【0013】本発明は、製造コストを上昇させることなくメッキ厚さの均一化を可能とした基板の電解メッキ方法を提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1の発明は、内側縁が電解メッキされる基板と実質上同じ大きさを有する枠形状の補助電極を、上記基板のうちアノードに対向する面の近傍に、且つ上記アノード側からみて上記基板を囲むように配設すると共に、該補助電極に、負電圧を印加する構成としたものである。

【0015】請求項2の発明は、電解メッキされる基板を保持する保持枠のうち、アノードに対向する面に、導電性のテープを、上記基板を可撓して且つ剥離可能に貼着すると共に、該導電性テープに負電圧を印加する構成としたものである。

【0016】請求項3の発明は、内側縁が電解メッキされる基板と実質上同じ大きさを有する枠形状の補助電極を、上記基板のうちアノードに対向する面の近傍に、且つ上記アノード側からみて上記基板を囲むように配設すると共に、該補助電極に、負電圧を印加する構成とし、且つ上記基板を保持する保持枠のうち、アノードに対向する面に、導電性のテープを、上記基板を可撓して且つ剥離可能に貼着すると共に、該導電性テープに負電圧を印加する構成としたものである。

【0017】

【作用】請求項1の発明において、補助電極はメッキ液中を基板の周辺部に向かって流れる電流を吸収する。

【0018】請求項2の発明において、導電性テープは前記従来例におけるダミーパターンとしての役割を果たす。

【0019】導電性テープは、常に新しいものと交換可能である。請求項3の発明において、補助電極は、基板の周辺部に流れる電流を吸収する。導電性テープは交換可能なダミーパターンとして機能する。

【0020】

【実施例】図1は本発明の第1実施例を示す。

【0021】図中、10はセラミック基板、11は保持枠、12はアノード、13は補助電極、14は電圧 $V_1$ の主電源、15は電圧 $V_2$ の補助電源である。

【0022】セラミック基板10は、ダミーパターンの外枠部分は有さず、完成品であるセラミックプリント配線板と同じ大きさである。

【0023】保持枠11は、図2に示すように、一对の枠16、17とよくなる。枠16と17とは、基板10を挟んだ状態でねじ18により固定され、基板10は、20 周囲を挟み込まれて保持枠11に固定される。

【0024】枠16、17はフック部16a等を除いて樹脂により被覆されて絶縁されている。

【0025】補助電極13は、矩形枠形状を有し、且つ内側縁13aが基板10と実質上同じ大きさを有する。

【0026】この補助電極13は、基板10のうちアノード12に対向する面10aの近傍に、且つ、図3に示すように、アノード12側からみて基板10を囲繞するように配設してある。

【0027】図1中、基板10と補助電極13との間の距離 $L_1$ と、補助電極13とアノード12との間の距離 $L_2$ との比、 $L_1 : L_2$ は、例えば1 : 3である。

【0028】また補助電極13に接続される補助電源15の電圧 $V_2$ は、補助電極13の電流密度 $A_1$  ( $A/cm^2$ ) が基板10の電流密度 $A_2$  ( $A/cm^2$ ) の約3倍となるように定めてある。

【0029】電解メッキ時、図4に示すように、メッキ液中を電流19が流れ、基板10の面10aの上にメッキ膜20が形成される。

【0030】電流19のうち、補助電極13が無いなら20 ば、基板10の周辺部に流れ込む電流19aは、図4に示すように、補助電極15に吸収される。基板10には、補助電極13の内側を通り抜けた電流19bだけが流れ込む。このため、基板10の面10a内における電流密度の分布をみると、中央部分は従来と略同じで、周辺部分が従来に比べて低く抑えられる。

【0031】これにより、メッキ膜20は図5及び図6の①に併せて示すように、中央部分の厚さ $t_2$ が1.8  $\mu m$ となつて従来より若干増え、周辺部分の厚さ $t_1$ が2.85となつて、従来より大幅に減っている。

【0032】これにより、周辺部分が中央部分に比べて厚い割合は51%程度に抑えられる。

【0033】図7は本発明の第2実施例を示す。図1中、補助電極13を除去し、保持枠11のうちアノード12に対向する面11aに導電性テープ30を基板10を囲むように貼着し、この導電性テープ30に主電源14の負電圧 $V_1$ を基板10と同様に印加した構成である。

【0034】導電性テープ30は、図8に示すように、10 枠16に剥離可能に貼着される。メッキ液中を電流31が図9に示すように流れ、基板10及び導電性テープ30上に、メッキ膜32が形成される。

【0035】電流31は、基板10の外側に位置する導電性テープ30が基板の周辺部であるかのように流れ、導電性テープ30上のメッキ膜32が最も厚くなる。電解メッキの上では、基板10の周辺部分は、みかけ上基板の周辺部分より中央寄りの部分となる。

【0036】このため、基板10上のメッキ膜32は、図5及び図6の②に併せて示すように、中央部分厚さ $t_2$ が1.82  $\mu m$ であり、従来と殆ど変わらず、周辺部分の厚さ $t_1$ は3.04  $\mu m$ であり、従来より相当減っている。

【0037】周辺部分が中央部分に比べて厚い割合は、67%程度に抑えられている。メッキが付いた導電性テープをそのまま使用するとメッキが付着する面積が徐々に変化してしまい、メッキ条件が変化することになるため、一回のメッキの終了毎に剥離して新しいものを貼り換える。

【0038】図10は、本発明の第3実施例を示す。本実施例では、前記の第1実施例と第2実施例とを組み合わせたものであり、図10中、図1及び図7に示す構成部分と対応する部分には同一符号を付す。

【0039】図11は、メッキ液中の電流の流れの状態を示す。アノード12より出る電流40のうち、基板10の周辺部に向かう電流40aは、補助電極13に吸収される。

【0040】補助電極13の内側を通過した電流40bは、導電性テープ30が基板の周辺部であるかのように、拡がって導電性テープ30に多く、基板10に少なく流れ込む。

【0041】これにより、基板10上のメッキ膜41は、図5及び図6の③に併せて示すように、中央部分の厚さ $t_2$ が1.96  $\mu m$ 、周辺部分の厚さ $t_1$ が2.46  $\mu m$ となった。周辺部分が中央部分に比べて厚い割合は、25%程度にまで抑えられている。

【0042】

【発明の効果】以上説明した様に、請求項1の発明によれば、基板の一部を廃棄して無駄とすることなく、基板のメッキ厚の均一化を図ることが出来る。

50 【0043】請求項2の発明によれば、基板の一部を廃



5

棄するという無駄を生ぜずに、且つ補助電極を使用する場合に比べて簡易に、基板のメッキ厚の均一化を図ることが出来る。

【0044】請求項3の発明によれば、基板の一部を廃棄するという無駄を生ぜずに、基板のメッキ厚の均一化を効果的に図ることが出来る。

【図面の簡単な説明】

【図1】本発明の基板の電解メッキ方法の第1実施例を示す図である。

【図2】図1中の保持枠の構成を示す図である。

【図3】図1中、アノード側からみた補助電極と基板との位置関係を示す図である。

【図4】図1中のメッキ液中の電流の流れを示す図である。

【図5】補助電極と導電性テープとの組合せを示す図である。

【図6】図5の組合せに対応するメッキ厚さを示す図である。

【図7】本発明の基板の電解メッキ方法の第2実施例を示す図である。

6

【図8】図7中の保持枠の構成を示す図である。

【図9】図7中のメッキ液中の電流の流れを示す図である。

【図10】本発明の基板の電解メッキ方法の第3実施例を示す図である。

【図11】図10中のメッキ液中の電流の流れを示す図である。

【図12】電解メッキ時のメッキ液中の電流の一般的な流れを示す図である。

10 【符号の説明】

10 セラミック基板

11 保持枠

12 アノード

13 補助電極

14 主電源

15 補助電源

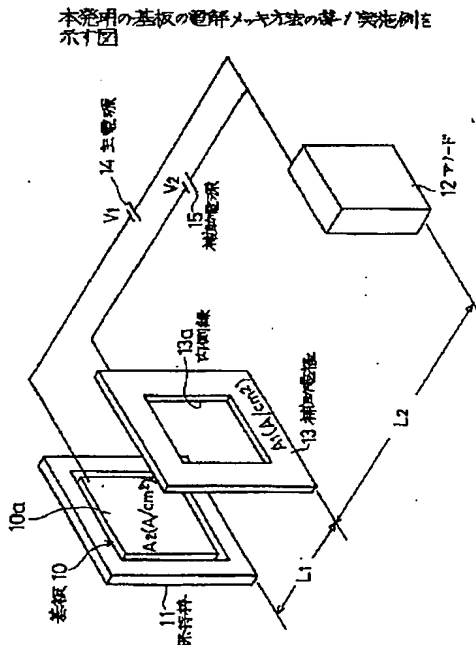
19, 31, 40 メッキ液中を流れる電流

20, 32, 41 メッキ膜

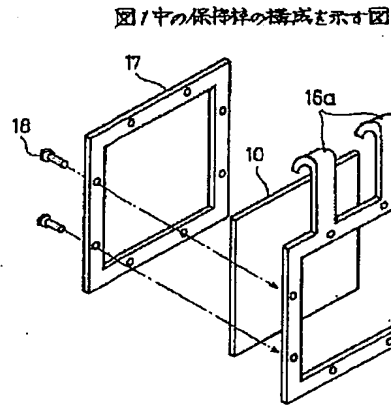
30 導電性テープ

20

【図1】

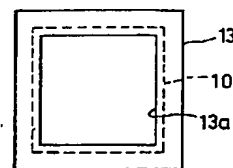


【図2】



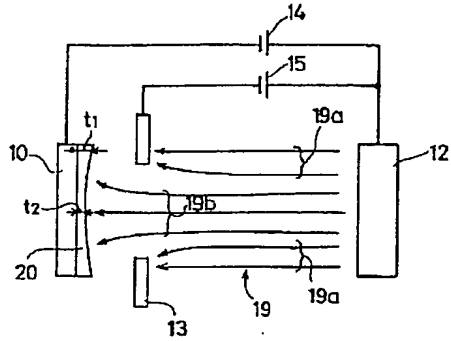
【図3】

図1中、アノード側からみた補助電極と基板との位置関係を示す図



【図4】

図1中のメッキ液中の電流の流れを示す図



【図6】

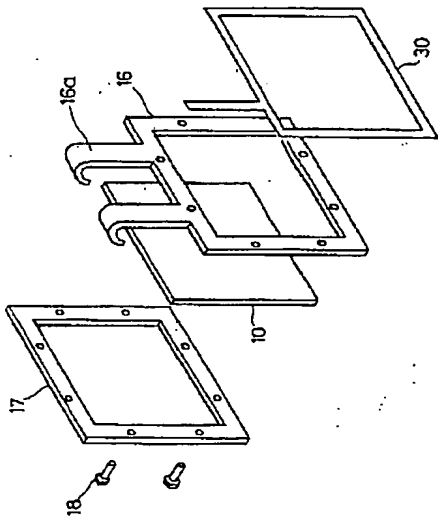
図5の組合せに対応するメッキ厚を示す図

	①	②	③	④
周辺部分の メッキ厚 t1(μm)	2.85	3.04	2.46	3.58
中央部分の メッキ厚 t2(μm)	1.88	1.82	1.96	1.75

5(20.32.41)

【図8】

図7中の保持枠の構成を示す図



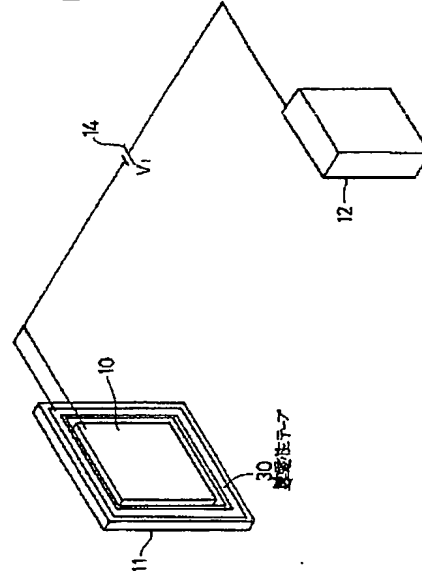
【図5】

補助電極と導電性テープとの組合せを示す図

補助電極と 導電性テープとの 組合せ	有	無
有	③	②
無	①	④

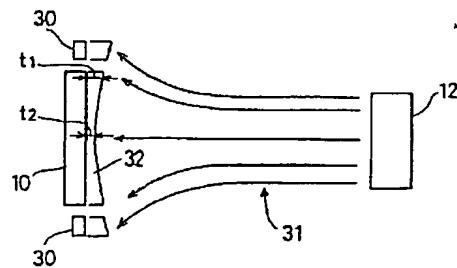
【図7】

本発明の基板的電解メッキ方法の第2実施例を示す図



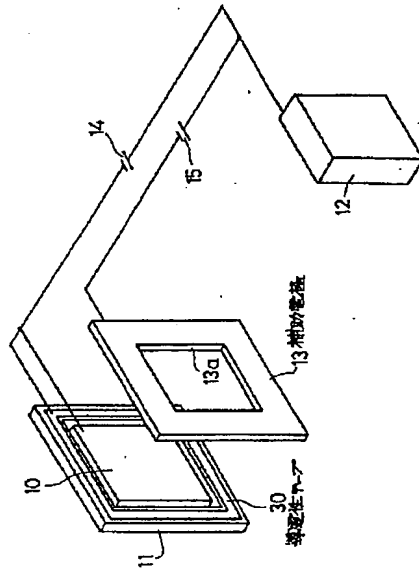
【図9】

図7中のメッキ液中の電流の流れを示す図



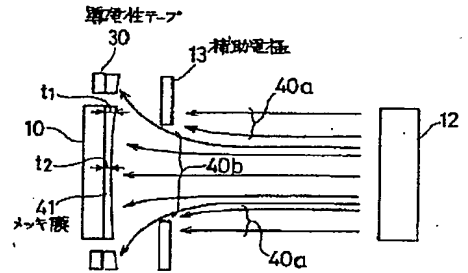
【図10】

本発明の基板の電解メッキ方法の第3実施例を示す図



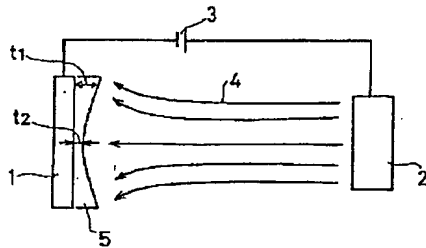
【図11】

図10中のメッキ液中の電流の流れを示す図



【図12】

電解メッキ時のメッキ液中の電流の一般的な流れを示す図



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
H05K 3/18

識別記号 庁内整理番号  
G 6736-4E

F I

技術表示箇所